

Matériel 64 / DPS 7 / DPS 7000

Architecture
Evolution jusqu 'à l 'époque récente

GCOS7



GCOS 7 les matériels

- Architecture
- Systèmes centraux
- Sous-systèmes périphériques

GCOS7- Les matériels

Plan

- Processeurs
- Périphériques
- Technologie
- GCOS7 et NEC
- GCOS7 sur système standard

- Aspects humains du projet

Michel Guillemet

Jean Bellec

Christian Joly

Jean Bellec

Daniel Poirson

Xavier Stefani

Les Processeurs centraux GCOS 7

Michel GUILLEMET

GCOS 7 Architecture

- L'architecture de la Ligne est un invariant permettant la compatibilité du logiciel (système d'exploitation ET programmes d'applications) au niveau binaire
- C'est le code d'instructions (**interior decor**) standard BL011 étendu par le PA800
- La réalisation matérielle de cet invariant est faite par le système central composé de(s) processeur(s) et à un moindre degré par les sous-systèmes périphériques.

Architecture des processeurs centraux (CPU)

- La réalisation d'un processeur
 - dépend du niveau de performances recherché
 - du coût (prix de revient) accepté pour ce niveau de performances
 - de la technologie disponible

Options générales des processeurs natifs GCOS 7

- Optimisation des performances en gestion
 - mots de 32-bits
 - traitement des chaînes de caractères
 - Traitement du décimal
 - Gestion des process et des sémaphores

Microprogrammation

3 Générations de processeurs

- 1967-1974 P7 Level 64
 - 1979 step3
 - 1981 Taurus
- 1977-1981 P7G-Leo DPS-7/x0
 - 1984 Lyra
 - 1987 Ares
 - 1988 Ares 2
 - 1988 Ares 3
- 1987-1990 Auriga DPS-7000/x0
 - 1994 Auriga 2
 - 1996 Artemis

P7

- processeur 32 bits : l'AG4 en 7 cycles (300 ns)
 - Banc de registres centralisé monoaccès
 - Bus 32 bits unique (BUSA)
 - Mémoire de contrôle centralisée en PROM
- mémoire associative d'adressage
- multiplexage des fonctions CPU et IOC

Taurus

- Réimplémentation de l'architecture P7 en technologie CML micro-packaging (celle de P7G)
- gain de performance : cycle 140 ns

P7G (Leo)

- Augmentation du parallelisme :
 - l'AG4 en 5 cycles de 110 ns
 - décentralisation des bancs de registres et des opérateurs
 - Deux bus 32 bits (instructions – données)
 - Mémoire de contrôle centralisée en SRAM
- Multi-processeur symétrique (x4)
- Cache (write-into) dans chaque processeur
- Capacité de partitionnement en deux systèmes

Ares

- Réalisation en CMOS sur une seule plaque 1650 cm²
- Processeur d'architecture Leo , cycle 120 ns.

Ares phase 2

- Introduction de la pagination : réimplémentation du chip BPA

Ares phase 3

- Adaptation d'entrées-sorties intégrées sur Multibus 2 au système Ares.
- Connexion de disques SCSI

Apparition des "standards" au sein du système

Auriga

- Nouveau Processeur pipe-line sur 3 puces :
 - l'AG4 en 1 cycle apparent de 32 ns (+3 masqués)
 - 3 chemins de données (dont un chemin 64 bits)
 - Décentralisation des microprogrammes
- CMOS Optimisé avec cache 64Kbytes intégré :
une carte de 460 cm²
- Extension multi à 6 processeurs : bus 500 MB/sec

Auriga 2

- Réimplémentation du processeur Auriga en un seul circuit intégré
- Quadri-processeur en une seule plaque
- Deuxième niveau de cache partagé pour 4 CPU
- max 24 processeurs

Artemis

- Shrink techno

Diane : un futur ouvert pour GCOS 7

- Passage aux microprocesseurs standards
 - coût trop élevé des microprocesseurs spécifiques
 - augmentation des performances Pentium/Xeon
 - bénéfices tirés des périphériques standards
- Implémentation logicielle qui a dépassé les performances d'Artemis en 2003